

PAT-NO: JP405011877A

DOCUMENT-IDENTIFIER: JP 05011877 A

TITLE: MICROCOMPUTER

PUBN-DATE: January 22, 1993

INVENTOR-INFORMATION:

NAME

FUJIMURA, YOSHIHIDE

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP03163272

APPL-DATE: July 4, 1991

INT-CL (IPC): G06F001/04, G06F015/78

ABSTRACT:

PURPOSE: To reduce the power consumption by composing a clock selection flag of an EEPROM when plural system clock oscillation circuits are present.

CONSTITUTION: When a CPU 2 writes '1' in the clock selection flag 7, a clock selecting circuit 6 selects a subsystem clock and supplies an operation clock of low frequency to the microcomputer 1. In this case, the flag 7 is composed of the electrically writable and erasable ROM(EEPROM). Consequently, the value of the flag never varies unless the CPU 2 rewrites a value. Therefore, once the flag 7 is set to '1', this microcomputer 1 begins to operate with the subsystem clock of low frequency even when a reset signal or even in a power-ON resetting state.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-11877

(43)公開日 平成 5 年(1993) 1 月22日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 1/04	3 0 1 C	7368-5B		
15/78	5 1 0 P	7530-5L		

審査請求 未請求 請求項の数 2 (全 5 頁)

(21)出願番号 特願平3-163272
(22)出願日 平成 3 年(1991) 7 月 4 日

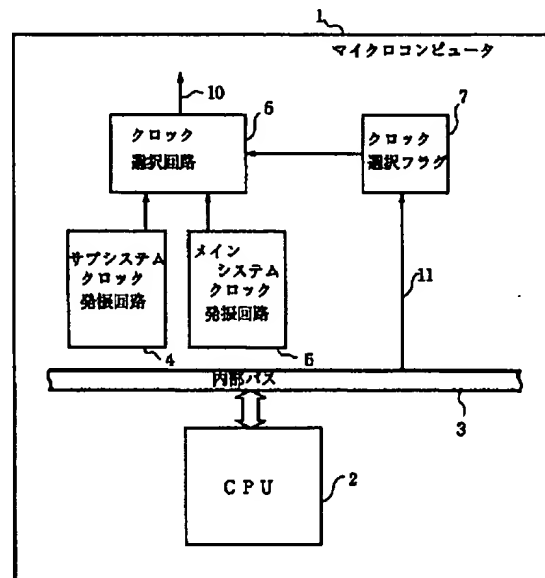
(71)出願人 000004237 :
日本電気株式会社
東京都港区芝五丁目 7 番 1 号
(72)発明者 藤村 善英
東京都港区芝五丁目 7 番 1 号日本電気株式
会社内
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 マイクロコンピュータ

(57)【要約】

【構成】リセット解除後の動作システムクロック源をCPUの命令を実行することなしに、選択可能にする手段を具備し、かつ動作システムクロック源の選択時において、非選択のシステムクロック発振回路の発振動作を停止する手段を具備している。

【効果】一旦低速周波数のクロックに切り換えれば、以後のリセット解除後に高速周波数のクロックでは動作しないため、消費電力が低下するという効果がある。



【特許請求の範囲】

【請求項1】 複数のシステムクロック発振回路を有するマイクロコンピュータにおいて、リセット解除後の動作システムクロック源をCPUの命令とは非同期に選択する手段を具備したことを特徴とするマイクロコンピュータ。

【請求項2】 前記動作システムクロック源の選択手段は、非選択のシステムクロック発振回路の発振動作を停止する手段を含むことを特徴とする請求項1記載のマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はマイクロコンピュータに関し、特に複数のシステムクロック発振回路を内蔵するマイクロコンピュータに関する。

【0002】

【従来の技術】 近年半導体技術の進歩に伴い、マイクロコンピュータの応用分野はその裾野を急速に拡大しながら応用分野毎の要求は多用の一途を辿っている。

【0003】 最近ではマイクロコンピュータを応用したシステムも小型化、省電力化され、マイクロコンピュータにも、低電圧動作の要求がより一層高まってきている。

【0004】 さて従来の低電圧動作可能なマイクロコンピュータにおいては、内部に複数のクロック発振回路を有し、動作クロックとしてメインクロックとサブクロックを動作クロックとして使用してマイクロコンピュータを消費電力を低減している。以下従来のマイクロコンピュータにおけるクロックの切り換え方法について記述する。

【0005】 図4は複数のクロック発振回路を有する従来のマイクロコンピュータのブロック図である。マイクロコンピュータ1のシステムクロック発生部分はメインシステムクロック発振回路5、サブシステムクロック発振回路4、クロック選択回路6、クロック選択フラグ7、リセット検出回路8より構成されている。

【0006】 メインシステムクロック発振回路5は高い周波数で発振を行う回路である。またサブシステムクロック発振回路4は低い周波数で発振を行う回路である。クロック選択回路6はクロック選択フラグ7の値によりマイクロコンピュータ1の動作クロックをメインシステムクロックまたはサブシステムクロックに切り換える回路で、システムクロック信号線10よりマイクロコンピュータ1全体にシステムクロックを供給する。クロック選択フラグ7はCPU2により内部バス3を介して値が設定できるフラグで、“0”のときはメインシステムクロックを選択し、“1”のときはサブシステムクロックを選択する。リセット検出回路8はリセット端子9からのリセット入力信号を検出し、クロック選択フラグを“0”にクリアする。

【0007】 上記構成から成る従来のマイクロコンピュータ1においては、リセット直後は動作クロックとしてメインシステムクロックを選択しており、高速で動作させる必要がなく消費電力を低減したいときに、CPU2のI/Oレジスタ操作命令によりクロック選択フラグ7を“1”にセットし、動作クロックを周波数の低いサブシステムクロックに切り換える方法を探る。

【0008】 よって従来のシステムクロックの切り換え方式では、リセット直後、メインクロックで動作させる必要のないときでも、メインシステムクロックで動作してしまうため、全体的な消費電力が上昇してしまうと共に、CPU2によりクロック選択フラグ7をセットして、サブシステムクロックに切り換えるという操作を必ず行わなければならない。

【0009】

【発明が解決しようとする課題】 以上述べたように従来の複数のクロック発振回路を有するマイクロコンピュータにおいては、リセット後は自動的に動作周波数の高いメインクロックが選択されているため、応用上リセット後も高速で動作する必要のないときは、一旦CPUのI/O操作命令によりクロック選択フラグをセットしてクロックを低速に切り換えなければならないという欠点がある。そしてこのときしばらくの間、マイクロコンピュータは高速に動作するため、消費電力が増加するという欠点がある。

【0010】 さらに従来のマイクロコンピュータにおいてはメインクロック、サブクロックの発振回路は動作クロックとして選択されていないときでも発振動作を行っているため、消費電力が著しく増大するという欠点がある。よって本マイクロコンピュータ応用システム上、電池駆動している場合などは、消費電力が大きな問題となってくる。

【0011】 本発明の目的は、消費電力を低下させることができるマイクロコンピュータを提供することにある。

【0012】

【課題を解決するための手段】 本発明のマイクロコンピュータは、複数のシステムクロック発振回路を有するマイクロコンピュータにおいて、リセット解除後の動作システムクロック源をCPUの命令を実行することなしに、選択可能にする手段を具備した特徴とし、かつ前記動作システムクロック源の選択時において、非選択のシステムクロック発振回路の発振動作を停止する手段を具備している。

【0013】

【実施例】 次に本発明の第1の実施例について図1を用いて説明する。図1は本発明の第1の実施例におけるマイクロコンピュータのブロック図である。

【0014】 図1においてメインシステムクロック発振回路5、サブシステムクロック発振回路4、クロック選択回路6は従来例のものと相違ないので説明は省略す

る。

【0015】クロック選択フラグ7はクロック選択回路6へメインクロック及びサブクロックのいずれかのクロックを選択させるかを指示するフラグであることは従来例と相違ないが、本実施例においては電氣的に書き込み消去が可能なROM (EEPROM: Electronic Erasable Programable ROM) で構成している。

【0016】CPU2によりクロック選択フラグ7に“1”を書き込むと、クロック選択回路6はサブシステムクロックを選択してマイクロコンピュータ1に低い周波数の動作クロックを供給するが、クロック選択フラグ7はEEPROMで構成してあるため、CPU2で再び値を書き込まない限りフラグの値は変化しない。

【0017】よって、一たびクロック選択フラグ7を“1”にセットすると、リセット信号を入力してもパワーオンリセットになっても、本マイクロコンピュータ1は低い周波数のサブシステムクロックで動作し始めることになる。

【0018】すなわち本第1の実施例においては、リセット解除後、マイクロコンピュータ1のどちらかのクロックで動作するかをクロック選択フラグ7を用いて指定することができることになる。

【0019】次に本発明の第2の実施例について図2を用いて説明する。本実施例においては第1の実施例の構成に加え、選択されなかった方のシステムクロックの発振回路を停止させるかを制御するフラグを有している。

【0020】図2のマイクロコンピュータ1において、非選択クロック制御フラグ12とORゲート13、インバータ14及びNANDゲート15以外の各構成要素とその動作は第1の実施例と全く同一のものである。非選択クロック制御フラグ12はクロック選択フラグ7で選択されなかったクロックの発振回路を動作させおるか停止させるかを制御するフラグである。本フラグもEEPROMで構成してあり、CPU2の命令によって書き込むようになっている。

【0021】本フラグを“0”にすると選択されなかったクロックの発振回路は発振動作を行い、“1”にすると選択されなかったクロックの発振回路は停止する。上記動作はクロック選択フラグ7と非選択クロック制御フラグ12と13、14、15の各ゲートを図2のような論理を採ることにより実現できる。そしてORゲート13の出力がサブシステムクロック発振回路4の発振動作を制御することになる。

【0022】ORゲート13の出力が“0”のときはサブシステムクロック発振回路4の発振動作は停止し、“1”のときは発振動作を行う。またNANDゲート15の出力が“0”のときはメインシステムクロック発振回路5の発振動作は停止し、“1”のときは発振動作を行う。以上のクロック選択フラグ7と非選択クロック制

御フラグ12の値の組合せによる発振回路の動作をまとめて図3に示す。

【0023】以上述べたように第2の実施例においては、選択されなかったシステムクロックの発振回路の発振動作を制御するフラグを有している。よってあまり頻繁にクロックを切り換ええない場合などは、クロックを選択すると同時に使用しないクロックの方の発振回路を停止させておくことができるため、第1の実施例よりもさらにマイクロコンピュータ1の全体的な消費電力を低減することができる。なお従来のマイクロコンピュータでもメインクロックの発振動作を停止させるようなモードレジスタを有しているものもあるが、本実施例では自動的に非選択のシステムクロックの発振回路を停止させることができるため、その操作はより簡単なものとなっている。

【0024】

【発明の効果】以上述べたように本発明のマイクロコンピュータにおいては、複数のシステムクロック発振回路を有する場合、クロック選択フラグをEEPROMで構成することにより、リセット解除後の動作クロックを任意に指定できるようになっている。よって従来はリセット解除後に高速で動作する必要のないときには一旦CPUのI/O操作命令によりクロック選択フラグをセットして低速のクロックに切り換えなければならなかったが、本発明のマイクロコンピュータにおいてはこの操作が不必要となる。

【0025】また一旦低速周波数のクロックに切り換えれば、以後のリセット解除後に高速周波数のクロックでは動作しないため、消費電力が低下するという効果がある。

【0026】更に、クロック選択フラグとともに非選択のシステムクロックの発振動作を制御するフラグを設け、クロック選択フラグと連動させて操作すれば、使用していないクロックの方の発振回路を効率よく停止させることができるため、著しく消費電力を低減できるという効果がある。よって本マイクロコンピュータを応用システム上電池駆動させている場合などはその効果は顕著である。

【図面の簡単な説明】

【図1】本発明の第1の実施例におけるマイクロコンピュータのブロック図である。

【図2】本発明の第2の実施例におけるマイクロコンピュータのブロック図である。

【図3】図2の動作を説明するための図である。

【図4】従来のマイクロコンピュータのブロック図である。

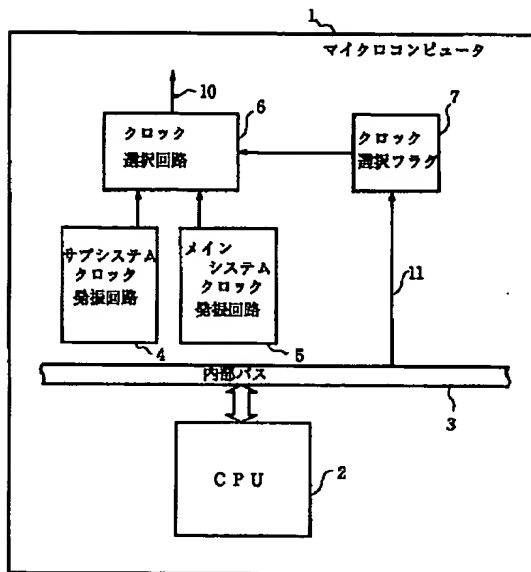
【符号の説明】

- 1 マイクロコンピュータ
- 2 CPU
- 3 内部バス

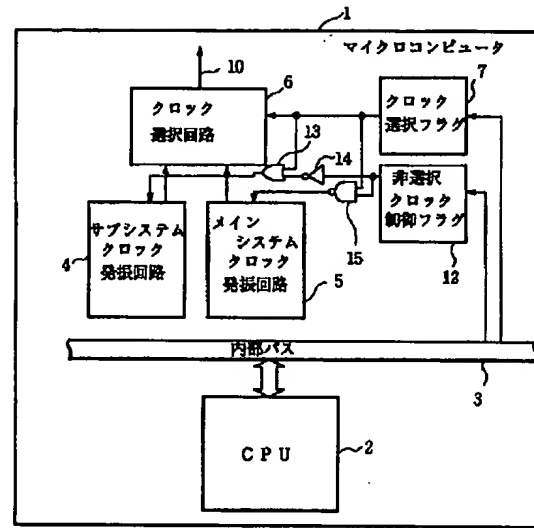
- 5
 4 サブシステムクロック発振回路
 5 メインシステムクロック発振回路
 6 クロック選択回路
 7 クロック選択フラグ
 8 リセット検出回路
 9 リセット端子

- 6
 10 システムクロック信号線
 12 非選択クロック制御フラグ
 13 ORゲート
 14 インバータ
 15 NANDゲート

【図1】



【図2】



【図3】

クロック 選択フラグ	非選択 クロック 制御フラグ	NAND ゲート 15 出力	ORゲート 13 出力	メイン クロック 発振回路	サブクロック 発振回路
0	0	1	1	発振	発振
0	1	1	0	発振	停止
1	0	1	1	発振	発振
1	1	0	1	停止	発振

【図4】

